

1.	Наслов на наставниот предмет	<b>Јазици за опис на хардвер</b> Hardware Description Languages
2.	Код	CSES409
3.	Студиска програма	Компјутерска наука и инженерство (КНИ)
4.	Организатор на студиската програма (единица, односно институт, катедра, оддел)	Факултет за информатички науки и компјутерско инженерство - ФИНКИ
5.	Степен (прв, втор, трет циклус)	Прв
6.	Академска година / семестар <b>2 / летен / изборен</b>	7. Број на ЕКТС кредити <b>6</b>
8.	Наставник	Проф. д-р Димитар Трајанов, доц. д-р Игор Мишковски
9.	Предуслови за запишување на предметот	Архитектура и организација на компјутери
10.	Цели на предметната програма (компетенции): Воведување во јазиците за опис на хардвер како што се: SystemC, VHDL и Verilog. Користење на јазиците за опис на хардвер за опис и синтеза на логички кола во процесот на автоматизиран дигитален дизајн. Студентот детално ќе се запознае со процесот на синтеза на дигитално интегрирано коло, почнувајќи од HDL код до ниво на силиконска низа од порти.	

11.	<p>Содржина на предметната програма:</p> <p>VHDL, Verilog и SystemC, функционален и структурен опис, симулации, синтеза, програмирање на FPGA, поставување и насочување за IC маски, пост-временски симулации. Вовед во методологијата за дизајн преку користење на јазици за опис на хардвер. Структурни, конкуретни и секвентни VHDL описи, потпрограми, VHDL оператори, сигнали и променливи, типови на променливи, наредби WAIT и листа на осетливост.</p> <p>Симулација на VHDL/Verilog модели, тестирање на моделите, дебагирање преку приказ на конзола. Дизајн, организирање и параметризација: потпрограми, пакети, фиксни и генерички параметри, дизајн конфигурација, генерални тестови.</p> <p>Моделирање на доцнења и временски проблеми. Податочен тек во VHDL/Verilog: мултиплексери, конечни автомати.</p>			
12.	<p>Методи на учење:</p> <p>Предавања поддржани со презентации преку слајдови, интерактивни предавања, вежби (користење на опрема и софтверски пакети), тимска работа, пример случаи, поканети гости предавачи, самостојна изработка и одбрана на проектна задача и семинарска работа, учење во електронско опкружување (форуми, консултации).</p>			
13.	Вкупен расположив фонд на време	6 ЕКТС x 30 часа = 180 часа		
14.	Распределба на расположивото време			
15.	Форми на наставните активности	15.1.	Предавања- теоретска настава	30 часови
		15.2.	Вежби (лабораториски, аудиториски), семинари, тимска	45 часови

			работа	
16.	Други форми на активности	16.1.	Проектни задачи	30 часови
		16.2.	Самостојни задачи	25 часови
		16.3.	Домашно учење	50 часови
17.	Начин на оценување			
	17.1.	Тестови		70 бодови
	17.2.	Семинарска работа/ проект ( презентација: писмена и усна)		20 бодови
	17.3.	Активност и учество		10 бодови
18.	Критериуми за оценување (бодови/ оценка)	до 50 бода		5 (пет) (F)
		од 51 до 60 бода		6 (шест) (E)
		од 61 до 70 бода		7 (седум) (D)
		од 71 до 80 бода		8 (осум) (C)
		од 81 до 90 бода		9 (девет) (B)
		од 91 до 100 бода		10 (десет) (A)

19.	Услов за потпис и полагање на завршен испит	Реализирани активности 15.1 и 15.2				
20.	Јазик на кој се изведува наставата	Македонски јазик				
21.	Метод на следење на квалитетот на наставата	механизам на интерна евалуација и анкети				
22.	Литература					
	22.1.	Задолжителна литература				
		Ред. број	Автор	Наслов	Издавач	Година
		1.	John Williams	Digital VLSI Design with Verilog	Springer	2008
		2.	Mark Zwolinski	Digital System Design with VHDL 2nd Edition	Pearson Education	2008
	3.	David C. Black and Jack Donovan	SystemC: FROM THE GROUND UP	Kluwer Academic Publishers	2004	
22.2.	Дополнителна литература					
	Ред. број	Автор	Наслов	Издавач	Година	

	1.	Roth Charles H., John Lizy Kurian	Digital Systems Design using VHDL	Thomson	2009
	2.	Michael D. Ciletti	Advanced Digital Design with Verilog 2e	Prentice Hall	2010
	3.	J. Bhasker	A SystemC Primer, 2 <sup>nd</sup> edition	Star Galaxy Publishing	2010